

04642884 **Image available**

THIN FILM TRANSISTOR AND ITS MANUFACTURE

PUB. NO.: **06-314784 [JP 6314784 A]**

PUBLISHED: November 08, 1994 (19941108)

INVENTOR(s): TAKEMURA YASUHIKO

 CHIYOU KOUYUU

 ONUMA HIDETO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: **05-146997 [JP 93146997]**

FILED: May 26, 1993 (19930526)

INTL CLASS: **[5] H01L-029/784**

JAPIO CLASS: **42.2 (ELECTRONICS -- Solid State Components)**

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R044 (CHEMISTRY --
Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
Implantation)

ABSTRACT

PURPOSE: To improve the reliability and characteristics of a thin film transistor by improving the reliability of a gate insulating film, a gate electrode and gate wiring.

CONSTITUTION: Impurity is introduced into the edges 14 of the active layer (island-shaped semiconductor part), especially at a part where a gate electrode crosses, in order to permit the edges to be insulators. Thus, defects of a part 16 are prevented.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-314784

(43)公開日 平成6年(1994)11月8日

(51)Int.Cl.⁵
H 0 1 L 29/784

識別記号
9056-4M

F I
H 0 1 L 29/ 78

技術表示箇所
3 1 1 R

審査請求 未請求 請求項の数 8 FD (全 12 頁)

(21)出願番号 特願平5-146997

(22)出願日 平成5年(1993)5月26日

(31)優先権主張番号 特願平5-71106

(32)優先日 平5(1993)3月5日

(33)優先権主張国 日本 (JP)

(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 張 宏勇
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

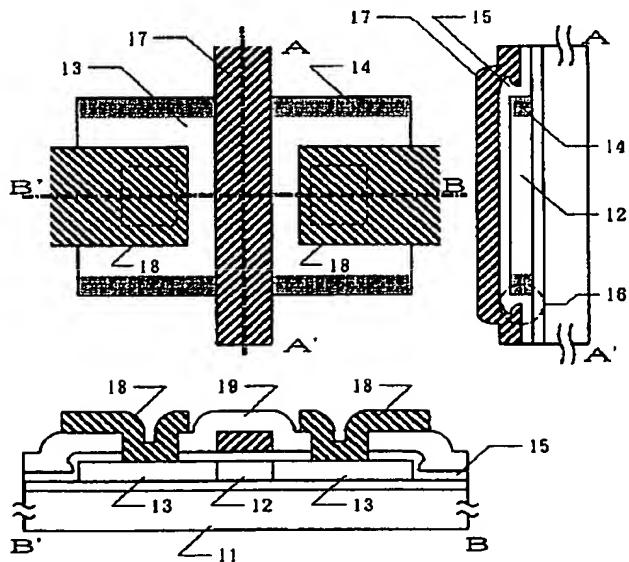
(72)発明者 大沼 英人
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】 薄膜トランジスタおよびその作製方法

(57)【要約】

【目的】 薄膜トランジスタにおいて、ゲート絶縁膜とゲイト電極、およびゲート配線の信頼性を向上させ、薄膜トランジスタの信頼性や特性を向上させる。

【構成】 薄膜トランジスタの活性層（島状半導体部分）12の端部14、特にゲート電極は横断する部分に不純物を導入し、絶縁化することにより、16に示される部分の不良を防止する。



【特許請求の範囲】

【請求項1】 島状の薄膜半導体領域と、前記半導体領域を横断するゲイト電極とを有する薄膜トランジスタにおいて、前記半導体領域の周辺部に酸素、炭素、窒素のうち少なくとも1つの元素の濃度が、前記半導体領域の平均濃度よりも大きな領域が存在し、かつ、ゲイト電極が該領域を横断していることを特徴とする薄膜トランジスタ。

【請求項2】 島状の薄膜半導体領域を形成する工程と、前記薄膜半導体領域の周辺部のうち少なくともゲイト電極が横断する部分に、酸素、炭素、窒素のうち少なくとも1つの元素を選択的に導入する工程と、前記薄膜半導体領域を横断してゲイト電極を形成する工程と、前記ゲイト電極をマスクとして自己整合的に前記薄膜半導体領域に不純物を導入してソース、ドレイン領域を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項3】 島状の薄膜半導体領域を実質的にアモルファス状態の半導体材料を用いて形成する工程と、前記薄膜半導体領域の周辺部に、酸素、炭素、窒素のうち少なくとも1つの元素を導入する工程と、前記薄膜半導体領域にレーザーもしくはそれと同等な強光を照射して結晶化させる工程と、前記薄膜半導体領域を横断してゲイト電極を形成する工程とを有することを不純物を特徴とする薄膜トランジスタの作製方法。

【請求項4】 絶縁表面を有する基板上に設けられた半導体膜を用いた薄膜トランジスタであって、少なくとも該薄膜トランジスタの活性層領域の周囲は絶縁化されていることを特徴とする薄膜トランジスタ。

【請求項5】 絶縁表面を有する基板上に設けられた半導体膜を用いた薄膜トランジスタであって、該薄膜トランジスタの活性領域以外の領域は絶縁化されていることを特徴とする薄膜トランジスタ。

【請求項6】 請求項3または請求項4において、半導体膜として珪素半導体膜が用いられ、絶縁化された領域が酸化珪素、または窒化珪素であり、該絶縁化された領域は可視光線に対して透光性を有することを特徴とする薄膜トランジスタ。

【請求項7】 絶縁表面を有する基板上に半導体膜を形成する工程と、少なくとも活性層領域の周囲の領域に前記半導体膜を絶縁化する材料を添加し、絶縁化する工程と、を有する薄膜トランジスタの作製方法。

【請求項8】 請求項7において、半導体膜を絶縁化する材料として、酸素、炭素、窒素から選ばれた少なくとも1つの元素を用いることを特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ(TFT)の構造および作製方法に関するものである。本発

明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。

【0002】

【従来の技術】 従来、薄膜トランジスタは、薄膜半導体領域(活性層)を島状にパターニングして、形成した後、ゲイト絶縁膜として、CVD法やスパッタ法によって絶縁被膜を形成し、その上にゲイト電極を形成した。

【0003】

10 【発明が解決しようする課題】 CVD法やスパッタ法で形成される絶縁被膜はステップカバーレージ(段差被覆性)が悪く、信頼性や歩留り、特性に悪影響を及ぼしていた。図5には従来の典型的なTFTを上から見た図、およびその図面のA-A'、B-B'に沿った断面図を示す。TFTは基板51上に形成され、薄膜半導体領域は不純物領域(ソース、ドレイン領域、ここではN型の導電型を示す)53とゲート電極57の下に位置し、実質的に真性のチャネル形成領域52に分けられ、この半導体領域を覆って、ゲート絶縁膜55が設けられる。不20 純物領域53には、層間絶縁物59を通してコンタクトホールが開けられ、電極・配線58が設けられる。

【0004】 図から分かるように、ゲート絶縁膜55の半導体領域の端部における被覆性は著しく悪く、典型的には平坦部の厚さの半分しか厚みが存在しない。一般に島状半導体領域が厚い場合には甚だしい。特にゲート電極に沿ったA-A'断面からこのような被覆性の悪化がTFTの特性、信頼性、歩留りに及ぼす悪影響が分かる。すなわち、図5のA-A'断面図において点線円で示した領域56に注目してみれば、ゲート電極57の電界が薄膜半導体領域の端部に集中的に印加される。すなわち、この部分ではゲート絶縁膜の厚さが平坦部の半分であるので、その電界強度は2倍になるためである。

【0005】 この結果、この領域56のゲート絶縁膜は長時間のあるいは高い電圧印加によって容易に破壊される。ゲート電極に印加される信号が正であれば、この領域56の半導体もN型であるので、ゲート電極57と不純物領域58(特に、ドレイン領域)が導通てしまい、信頼性の劣化の原因となる。

【0006】 また、ゲート絶縁膜が破壊された際には、40 何らかの電荷がトラップされることが起こり、例えば、負の電荷がトラップされれば、ゲート電極に印加される電圧にほとんど関わりなく、領域56の半導体はN型を呈し、2つの不純物領域58が導通することとなり、特性を劣化させる。また、以上のような劣化を引き起こさずにTFTを使用するには、理想的な場合の半分の電圧しか印加できず、性能を十分に利用することができない。

【0007】 また、TFTの一部にこのような弱い部分が存在するということは製造工程における帶電等によつ50 て容易にTFTが破壊されることであり、歩留り低下の

大きな要因となる。本発明はこのような問題を解決することを課題とする。

【0008】

【発明を解決するための手段】本発明では、このように電気的に弱い領域の半導体中に、炭素、酸素、窒素のいずれか1つの元素もしくは複数の元素を島状の半導体領域の平均的な濃度よりも高めることによって、その部分の抵抗を高めることによって補うことを特徴とする。本発明の典型的な構造を図1に示す。図1も図5と同様にTFTを上から見た図面と、そのA-A'、B-B'断面の断面図を示している。TFTは基板11上に形成され、薄膜半導体領域は不純物領域（ソース、ドレイン領域、ここではN型の導電型を示すことにするが、P型であっても構わない）13とゲート電極17の下に位置し、実質的に真性のチャネル形成領域12に分けられ、この半導体領域を覆って、ゲート絶縁膜15が設けられる。不純物領域13には、層間絶縁物19を通してコンタクトホールが開けられ、電極・配線18が設けられる。

【0009】図5で示した従来のTFTと異なる点は、少なくともゲート電極の下部に、窒素、酸素、炭素の少なくとも1つの元素の濃度が、半導体領域の平均的な濃度よりも高い領域14を設けたことである。例えば、半導体領域の平均的な窒素の濃度が 10^{18} cm^{-3} であれば、この部分の窒素の濃度を 10^{19} cm^{-3} 以上、好ましくは 10^{20} cm^{-3} 以上の濃度となるように窒素を導入する。この結果、領域14の抵抗は著しく上昇する。酸素、炭素を用いる場合も同様で、 10^{19} cm^{-3} 以上、好ましくは 10^{20} cm^{-3} 以上の濃度となるように酸素、炭素を導入することによって、高い抵抗領域を形成することができた。

【0010】この領域14の効果に関して、A-A'断面の領域16に注目して説明する。従来のTFTの場合と同様に、このような半導体領域の端部におけるゲート絶縁膜の被覆性は良くない。したがって、この部分では、理想的な場合の半分ほどの電圧でゲート絶縁膜が破壊されて、ピンホールが生じたり、電荷がトラップされたりする。しかし、領域14が存在する場合には、領域14の抵抗によって、ゲート絶縁膜に印加される電圧が減少する。その結果、ゲート絶縁膜の破壊を防止することができる。また、半導体領域の端部のゲート絶縁膜で、仮にピンホールが生じたり、電荷がトラップされても、この部分は領域14によって、不純物領域13やゲート電極の下のチャネル形成領域12とは隔離されているので、ほとんど影響が及ばない。

【0011】このため、特にゲート電極とドレイン領域間のリーカ電流や、ソース、ドレイン間の導通を著しく低減せしめることができる。このようにゲート絶縁膜が破壊されても特性や信頼性に問題が生じないのであれば、使用時の電圧の制限は少なくなり、また、製造時の

静電破壊等による不良品の発生の確率も低下し、歩留りが向上する。

【0012】図1においては薄膜半導体領域のゲート電極の横断する側の端部全てに窒素、炭素、酸素等を導入した様子を示したが、このような領域は少なくともゲート電極の下の領域に設けられれば十分であることは、以上の説明から明らかであろう。なお、酸素をドーピングする際に、マスクとしてフォトレジスト等の有機材料を用いた場合には、ドーズ量が多いとマスクが酸化されて消滅してしまうので注意が必要である。

【0013】さらに他の発明として本発明は、TFTの活性層（ソース／ドレイン、チャネル形成領域）を構成する半導体領域（図5でいえば、ソース／ドレインを構成する不純物領域53とチャネル形成領域52とが形成される半導体領域）自体を島状（アイランド状）に形成するのではなく、半導体膜自体にこの活性層を構成する半導体領域を作り込むことを特徴とする。言い換えるならば、ソース／ドレイン、チャネル形成領域を構成する半導体領域を島状にバーニングして構成するのではなく、半導体膜中にソース／ドレイン、チャネル形成領域として機能する領域を形成することを特徴とする。

【0014】例えば、図7にこの発明の一実施例を示す。図7において、ソース／ドレイン、チャネル形成領域が形成される活性層領域は207の部分である。そして207の部分以外は、窒素、酸素、炭素さらには半導体を絶縁化する元素が添加され絶縁化されている。即ち、この発明はバーニングで活性層を形成するのではなく、活性層となるべき以外の部分に例えばイオン注入方により酸素イオンを注入することにより絶縁化し、活性層となるべき領域を選択的に形成するものである。

【0015】この場合、少なくとも活性層領域207の周囲が絶縁化されなければ最低限TFTを形成することができる。しかし、活性層領域207以外を全て絶縁化する方が不要なリーカや寄生要領の発生を抑え、信頼性を高めることができる。また半導体として珪素を用いた場合には、この絶縁化される領域を酸化珪素や窒化珪素とすることができるので、可視光線に対して透光性とすることができる、ガラス基板を用いた液晶光学装置に利用することができる。

【0016】この構成において、活性層を構成する半導体として珪素を用いた場合、活性層以外の部分に酸素イオンまたは窒素イオンまたは炭素イオンを打ち込むと、その部分を酸化珪素または窒化珪素または炭化珪素とすることができます。これら半導体を絶縁化する不純物の導入量は、 10^{19} cm^{-3} 以上好ましくは 10^{20} cm^{-3} 以上の濃度になるようにする。

【0017】

【作用】薄膜半導体領域のゲート電極の横断する側の端部全てに窒素、炭素、酸素を導入することによって、ゲート絶縁膜に印加される電圧が減少し、ゲート絶縁膜の

破壊を防ぐことができ、信頼性を向上させることができる。

【0018】活性層を構成する半導体膜以外の領域を選択に絶縁化することで、活性層上方に設けられるゲート絶縁膜やゲート電極を平坦に設けることができ、ステップカバレージの問題、動作時における絶縁破壊や電界集中の問題、等を解決することができる。

【0019】

【実施例】

【実施例1】図2に本実施例の作製工程の断面図を示す。本実施例を含めて、以下の実施例の図面では、TFTの断面図のみを示し、いずれも左側にはゲート電極に垂直な面（図1、図5の断面B-B'に相当）を、また、右側にはゲート電極に平行な面（図1、図5の断面A-A'に相当）を示す。

【0020】まず、基板（コーニング7059）20上にスパッタリングによって厚さ2000Åの酸化珪素の下地膜21を形成した。さらに、プラズマCVD法によって、厚さ500～1500Å、例えば1500Åのアモルファスシリコン膜を堆積した。アモルファスシリコン膜中の窒素の濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下であった。連続して、スパッタリング法によって、厚さ200Åの酸化珪素膜を保護膜として堆積した。そして、これを還元雰囲気下、600°Cで48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。そして、得られた結晶シリコン膜をバーニングして、島状シリコン領域22a、22bを形成した。島状シリコン膜の上には保護膜23a、23bがそれぞれ乗っている。この保護膜は、その後のフォトリソグラフィー工程において、島状シリコン領域が汚染されることを防止する作用がある。

【0021】次に全面にフォトレジストを塗布して、公知のフォトリソグラフィー法によって、レジスト24a、24bを残してバーニングした。そして、このレジストをマスクとして窒素を導入した。窒素の導入にはプラズマドーピング法を用いた。ドーピングガスとしては窒素ガスを用い、rfパワー10～30W、例えば10Wで放電させてプラズマを発生させ、これを加速電圧20～60kV、例えば20kVで加速して、シリコン領域に導入した。ドーズ量は、 $1 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、例えば、 $1 \times 10^{16} \text{ cm}^{-2}$ とした。この結果、窒素のドープされた領域25a、25b、25c、25dを形成した。本条件では、この窒素のドープされた領域の窒素の濃度は $1 \times 10^{21} \text{ cm}^{-3}$ 程度となり、他の半導体領域に比べて著しく多量の窒素が導入された。（図2(A)）

【0022】次に、スパッタリング法によって厚さ1000Åの酸化珪素膜26をゲート絶縁膜として堆積し、引き続いて、減圧CVD法によって、厚さ6000～8000Å、例えば6000Åのシリコン膜（0.1～2

%の燐を含む）を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をバーニングして、配線27a、27bを形成した。これらの配線は、いずれもゲート電極として機能する。（図2(B)）

【0023】次に、プラズマドーピング法によって、シリコン領域に配線27aをマスクとして不純物（燐）を注入した。ドーピングガスとして、フォスフィン（PH₃）を用い、加速電圧を60～90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とした。その後、還元雰囲気中、600°Cで48時間アニールすることによって、不純物を活性化させた。このようにして不純物領域28a、28bを形成した。（図2(C)）

【0024】続いて、厚さ3000Åの酸化珪素膜を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線29a、29bを形成した。配線29aは配線27bとTFTの不純物領域の一方28bを接続する。以上の工程によって半導体回路が完成した。（図2(D)）

【0025】【実施例2】図3に本実施例の作製工程の断面図を示す。基板（コーニング7059）30上にスパッタリングによって厚さ2000Åの酸化珪素の下地膜31を形成した。さらに、プラズマCVD法によって、厚さ500～1500Å、例えば1500Åのアモルファスシリコン膜を堆積した。連続して、スパッタリング法によって、厚さ200Åの酸化珪素膜を保護膜として堆積した。そして、これを還元雰囲気下、600°Cで48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。そして、得られた結晶シリコン膜を公知のフォトリソグラフィー法によってバーニングして、島状シリコン領域32a、32bを形成した。島状シリコン膜の上には保護膜が残されている。また、エッチングに用いたフォトレジストのマスク33a、33bも残されている。なお、このエッチング工程においては等方エッチング法（例えば、フッ硝酸によるウェットエッチング）を用い、半導体領域の端面を図に示すようにテーパー状とした。

【0026】次に、このレジストをマスクとして窒素を導入した。窒素の導入にはプラズマドーピング法を用いた。ドーピングガスとしてはアンモニア（NH₃）もしくはヒドラシン（N₂H₄）を用い、加速電圧20～60kV、例えば20kVで加速して、シリコン領域に導入した。ドーズ量は、 $1 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、例えば、 $1 \times 10^{16} \text{ cm}^{-2}$ とした。この結果、窒素のドープされた領域34a、34b、34c、34dを形成した。（図3(A)）

【0027】また、下地膜31にも窒素がドーピングされるので、下地膜31を窒化酸化珪素膜とすることができる

き、後のエッチング工程によって、下地膜がえぐり取られることが無くなるという効果を有する。

【0028】次に、スパッタリング法によって厚さ1000Åの酸化珪素膜をゲイト絶縁膜として堆積し、引き続いて、減圧CVD法によって、厚さ6000~8000Å、例えば6000Åのアルミニウム膜(2%のシリコンを含む)を堆積した。なお、この酸化珪素とアルミニウム膜の成膜工程は連続的におこなうことが望ましい。そして、アルミニウム膜をバーニングして、配線35a、35bを形成した。これらの配線は、いずれもゲイト電極として機能する。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物層36a、36bを形成した。陽極酸化の前に感光性ポリイミド(フォトニース)によって後でコンタクトを形成する部分にマスク37を選択的に形成した。陽極酸化の際には、このマスクのために、この部分には陽極酸化物が形成されなかった。

【0029】陽極酸化は、酒石酸の1~5%エチレングリコール溶液でおこなった。得られた酸化物層の厚さは2000Åであった。次に、プラズマドーピング法によって、シリコン領域に配線35aおよび酸化物36aをマスクとして不純物(燐)を注入した。ドーピングガスとして、 fosfin (PH₃) を用い、加速電圧を60~90kV、例えば80kVとした。ドース量は1×10¹⁵~8×10¹⁵cm⁻²、例えば、5×10¹⁵cm⁻²とした。このようにしてN型の不純物領域37a、37bを形成した。(図3(B))

【0030】その後、レーザーアニール法によって不純物の活性化をおこなった。レーザーとしてはKrFエキシマーレーザー(波長248nm、パルス幅20nsec)を用いたが、他のレーザー、例えば、XeFエキシマーレーザー(波長353nm)、XeClエキシマーレーザー(波長308nm)、ArFエキシマーレーザー(波長193nm)等を用いてもよい。レーザーのエネルギー密度は、200~350mJ/cm²、例えば250mJ/cm²とし、1か所につき2~10ショット、例えば2ショット照射した。レーザー照射時に、基板を200~450°C程度に加熱してもよい。基板を加熱した場合には最適なレーザーエネルギー密度が変わることに注意しなければならない。なお、レーザー照射時にはポリイミドのマスク37を残しておいた。これは露出したアルミニウムがレーザー照射によってダメージを受けるからである。レーザー照射後、このポリイミドのマスクは酸素プラズマ中にさらすことによって簡単に除去できる。

【0031】なお、本実施例では、実施例1の場合と異なり、ゲイト電極の下の窒素の注入された領域34c、34dはレーザー光が入射しないので、結晶化率が低いが、イオンの注入の際に結晶性が破壊されているので極めて大きな抵抗として機能し、リーク電流を低下させる

目的では効果的であった。(図3(C))

【0032】続いて、厚さ3000Åの酸化珪素膜38を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線39a、39bを形成した。配線39aは配線35bとTFTの不純物領域の一方37bを接続する。以上の工程によって半導体回路が完成した。(図3(D))

【0033】【実施例3】図4に本実施例の作製工程の10断面図を示す。基板(コーニング7059)40上にスパッタリングによって厚さ2000Åの酸化珪素の下地膜41を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば1500Åのアモルファスシリコン膜を堆積した。そして、得られたアモルファスシリコン膜をバーニングして、島状シリコン領域42a、42bを形成した。

【0034】次に全面にフォトレジストを塗布して、公知のフォトリソグラフィー法によって、レジスト43a、43bを残してバーニングした。そして、このレジストをマスクとして窒素を導入した。窒素の導入にはプラズマドーピング法を用いた。この結果、窒素のドープされた領域44a、44b、44c、44dを形成した。(図4(A))

【0035】次にフォトレジストを残したまま、スパッタ法によって厚さ1000Åの酸化珪素膜45aを堆積した。(図4(B))

そして、フォトレジストを剥離することによって、その上に形成されていた酸化珪素膜まで除去した。フォトレジストの存在していなかった部分にはそのまま酸化珪素膜が残る。これを還元雰囲気下、600°Cで48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。

【0036】次に、スパッタリング法によって厚さ1000Åの酸化珪素膜45bをゲイト絶縁膜として堆積し、引き続いて、減圧CVD法によって、厚さ6000~8000Å、例えば6000Åのシリコン膜(0.1~2%の燐を含む)を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をバーニングして、配線46a、46bを形成した。これらの配線は、いずれもゲイト電極として機能する。また、島上シリコン領域の周辺部(先にホウ素が注入された領域)に注目すると、ここでは絶縁膜の厚さが酸化珪素45aおよび45bによって、約2倍になっている。そのため、ゲイト絶縁膜の破壊を防ぐうえで効果的である。(図4(C))

【0037】次に、プラズマドーピング法によって、シリコン領域に配線46aをマスクとして不純物(燐)を注入した。ドーピングガスとして、 fosfin (PH₃) を用いた。その後、還元雰囲気中、600°Cで48時間アニールすることによって、不純物を活性化させ

た。このようにして不純物領域47a、47bを形成した。続いて、厚さ3000Åの酸化珪素膜48を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線49a、49bを形成した。配線49aは配線46bと TFT の不純物領域の一方47bを接続する。以上の工程によって半導体回路が完成した。(図4(D))

本実施例によって、歩留りが従来の2倍以上に改善された。また、TFTの特性の悪化は特に認められなかつた。逆に使用に耐えうる最大電圧が従来の1.5~2倍に上昇したために、最高動作速度が2~4倍上昇した。

【0038】[実施例4] 本実施例は、ガラス基板上に設けられたTFTにおいて、活性層(ソース/ドレイン領域、チャネル形成領域で構成される半導体層)を結晶性珪素膜中に作り込むことによって、活性層上方に形成されるゲート絶縁膜やゲート電極を平坦に設けた例である。図6に本実施例の作製工程を構成を示す。図6に示されているのは、Pチャネル型TFTとNチャネル型TFTとを相補型に設けた例である。なお、活性層以外の作製方法については、公知のTFTの作製方法を利用することができる。

【0039】まず図6(A)において、ガラス基板101上に下地膜(酸化珪素膜)99を2000Åの厚さにスパッタリング法によって成膜した。つぎに、公知のプラズマCVD法によってアモルファスシリコン膜100を1000Åの厚さに成膜した。従来においては、ゲート絶縁膜のステップカバレッジの問題から、このアモルファスシリコン膜(活性層を構成する)の厚さを厚くできなかつたが、本実施例においては、ゲート絶縁膜のステップカバレッジの問題を考慮しなくてもよいので、必要に応じた厚さでアモルファスシリコン膜100を成膜することができる。またこの工程の後にこのアモルファスシリコン100を加熱アニールやレーザー光の照射によって結晶化させてもよい。また、アモルファスシリコン膜でなく、直接結晶性を有するシリコン膜を形成するのもよい。

【0040】次に保護膜として酸化珪素膜102を200Åの厚さに成膜する。さらにマスクとなるアルミ層を8000Åの厚さに成膜し、活性層領域を確定するためのパターニングを行う。即ち図6(B)において、102が保護膜の酸化珪素膜であり、103と104が活性層領域を確定するためのアルミのマスクである。この酸化珪素膜102は、後の窒素イオンの打ち込みに際して、アモルファスシリコン膜100の表面がダメージを受けないように保護するものである。またアルミのマスク103、104の代わりにレジストを用いてもよい。

【0041】次にイオン注入法により、窒素イオンを全面に注入し、マスク103と104が無い領域に窒素イオンを打ち込む。イオン注入条件は、加速電圧が40k

V、ドーズ量が $6 \times 10^{17} / \text{cm}^2$ である。加速電圧は、20~80kV程度の範囲で可能であるが、あまり大きいと膜に与えるダメージが大きくなり、小さいとアモルファスシリコン膜201が厚い場合に、膜の下層部分を完全に絶縁化できなくなる。また窒素イオンのドーズ量は、 $4 \times 10^{17} \text{ cm}^{-2}$ 以上であることが好ましい。これは、上記条件によって、窒素イオンを打ち込み、かかる後に600°C、48時間の熱アニール工程によってアニールした後の膜の導電率(S cm^{-1})を調べた図10に示すデータに基づく。この場合、600°C、48時間の熱アニールによって、窒素イオンが注入されなかつた活性層領域、即ち106と108の領域の導電率は、約 $10^{-5} \text{ S cm}^{-1}$ であり、これに比較して絶縁領域として形成するには $10^{-11} \text{ S cm}^{-1}$ 以下であることが好ましいからである。

【0042】上記窒素イオンの活性層領域以外への注入によって、2つのTFTの活性層を構成する106と108が、窒化珪素膜中に埋め込まれる形で形成される。そして、絶縁化され窒化珪素となった領域は、図6(B)の105で示される。

【0043】次にマスク103と104を取り除き、600°C、48時間の熱アニール工程によって活性層領域106と108の結晶化を行う。この結晶化は、レーザー光の照射によって行ってもよく、その方法は特に限定されるものではない。また同時に、このアニール工程によって、イオン注入された窒素イオンが活性化され、105の領域の絶縁化が助長される。即ち、窒素イオンの注入後のアニールも同時に行われる。

【0044】つぎに、保護膜である酸化珪素膜102を取り除いて、ゲート絶縁膜107となる酸化珪素膜を1000Åの厚さにスパッタリング法によって成膜する。このゲート絶縁膜107は、段差のない平坦な領域に成膜されるので、ステップカバレッジに関する問題を大きく低減することができる。次に、6000Åの厚さにアルミニウム膜(2%のシリコンを含む)を成膜し、パターニングによりゲート電極110と111を形成する。このゲート電極は公知のシリコングエイトとしてもよい。つぎに、このゲート電極の表面を陽極酸化して、表面に酸化物層112と113を形成する。この酸化物層の厚さによって、後のソース/ドレイン領域の形成工程において、オフセットゲート領域の長さが決定される。

【0045】つぎに、PTFTとなる領域にはBを、NTFTとなる領域にはPを、それぞれイオン注入し、P型の領域114と116、N型の領域117と119を形成する。このイオン注入においては、それぞれ一方の領域をレジストで保護することにより、必要とするイオンを注入した。さらにレーザー光の照射による活性化を行う。こうして、PTFTの活性層を構成するソース/ドレイン領域114と116、PTFTのチャネル形成領域115、さらにはNTFTの活性層を構成するソ-

スノドレイン領域117と119、N TFTのチャネル形成領域118が自己整合的に形成される。

【0046】つぎに、酸化珪素よりなる層間絶縁膜120を形成し、さらに電極および金属配線を121、122、123で示すように形成することで、PTFTとNTFTとを相補型に構成したTFT回路を完成した。この回路は、基板特にガラス基板上に設けられた集積回路や、液晶表示装置の周辺回路、さらには液晶表示装置の画素部分に設けられるスイッチング部分に利用することができる。

【0047】本実施例の構成においては、ゲイト絶縁膜107とゲイト電極110、111および該ゲイト電極からの配線を、平坦な基体上に形成することができるのと、活性層端部における電界集中の問題や絶縁破壊の問題を根本的に解決することができる。

【0048】〔実施例5〕本実施例は、アクティブマトリックス型の液晶表示装置の画素部分に設けられるTFTに関する。本実施例の作製工程図を図7に示す。まずガラス基板201上に下地膜(酸化珪素膜)202を2000Åの厚さに成膜し、さらにアモルファスシリコン膜203を1000Åの厚さにプラズマCVD法によって成膜する。このアモルファスシリコン膜の成膜方法は特に限定されるものではなく、スパッタ法、減圧熱CVD法、光CVD等々の公知の方法から適時選択すればよい。

【0049】つぎに、保護膜となる酸化珪素膜204を200Åの厚さに、マスクとなるアルミ層を8000Åを成膜する。そしてアルミ層のみをバーニングしてマスク205を形成する。このマスク205がTFTの活性層領域を確定する。つぎに実施例4と同様な条件によって窒素イオンを打ち込む。そしてマスク205を取り除いた後に、やはり実施例4と同様な熱アニール工程により、活性層領域2007の結晶化と打ち込まれた窒素イオンの活性化による絶縁化領域206のアニール(結晶化の助長)を同時に行つた。

【0050】つぎに実施例4と同様に周囲が陽極酸化(209で示される)されたゲイト電極208を形成する。このゲイト電極は、公知の珪素を用いたものとしてもよい。さらに、N型の導電型を付与する不純物であるP(燐)を60kVの加速電圧でイオン注入して、自己整合的にソース/ドレイン領域210、212と、チャネル形成領域211を自己整合的に形成する。さらに、レーザー光の照射によって、ソース/ドレイン領域210、212の活性化を行う。そして層間絶縁物212を酸化珪素により形成し、画素電極となるITO電極216と金属電極215と214を形成してNチャネル型TFTを完成させる。

【0051】図7(D)に示す構成をA-A'で示す断面から見た図面を図8に示す。また、図7(D)を基板上方から見た場合の構成の概略を図9に示す。図9にお

いて、B-B'で示される断面が、図7に対応する。また図9において、A-A'で示される断面が図8に対応する。符号は、図7と図8と図9でそれぞれ対応している。ここで図8を見れば明らかのように、ゲイト絶縁膜207と延在したゲイト電極208とが平坦な領域に形成されているので、図5の56で示されるような問題が生じることがない。即ち、ゲイト電極208から局所的な強電界が活性層のチャネル形成領域208にその端部において加わるようなことが根本的に存在しない。このことは、活性層(図8においては、その断面のチャネル形成領域211が見えている)を島状にバーニングして形成するのではなく、活性層として必要とする以外の領域の半導体を絶縁化(206で示される)するという基本的な発明思想に起因する。

【0052】図11に窒素イオンの注入により絶縁化された領域(図6でいえば105の領域、図7、図8、でいえば206の領域)の透過率を調べたデータを示す。窒素イオンの注入条件は、加速電圧が40kVであり、注入後は、600°C、48時間の熱アニールを施したものである。図11を見れば明らかのように、窒素イオンのドーズ量が、 $3 \times 10^{17} \text{ cm}^{-2}$ 以上であれば、十分に可視光線(380nm~800nm)を透過することができる。

【0053】即ち、アクティブマトリックス型の液晶表示装置の画素部分に図7に示すような構成を適用しても、窒素イオンの注入によって絶縁化された領域を残存させたままで、液晶表示装置の光学特性には何らの影響を与えることがないということである。このような有用性は、窒素イオンの代わりに酸素イオンの注入を行った場合でも得られると考えられる。(周知のように酸化珪素は透光性である)

【0054】以上のように、本実施例においては、活性層領域となるべき領域以外の領域に半導体を絶縁化する材料をイオン注入法によって注入し、その領域を絶縁化することによって、活性層領域を確定し、そしてそのことによって活性層上に形成されるゲイト絶縁膜やゲイト電極さらに配線電極等のステップカバレージ(段差被覆性)の不良に起因する諸問題を根本的に解決することができる。さらに、上記絶縁化された半導体領域は、可視光線に対して透光性を有するので、アクティブマトリックス型の液晶表示装置の画素部分等の透光性を必要とする領域においても利用することができる。

【0055】

【発明の効果】活性層の端部を絶縁化すること、さらには活性層をバーニングで求めるのではなく、その周囲を絶縁化することにより活性層領域を確定することにより、活性層上に設けられるゲイト絶縁膜やゲイト電極のステップカバレージの問題を解決することができ、TFTの歩留やその信頼性を向上させることができる。

【図面の簡単な説明】

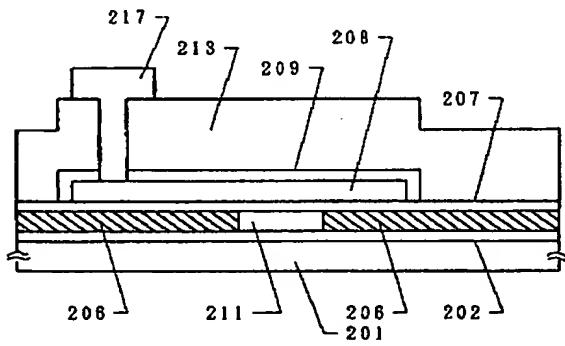
【図1】 本発明のTFTの構成例を示す。
 【図2】 実施例1のTFTの作製工程断面を示す。
 【図3】 実施例2のTFTの作製工程断面を示す。
 【図4】 実施例3のTFTの作製工程断面を示す。
 【図5】 従来のTFTの構成例を示す。
 【図6】 TFTの作製工程断面を示す。
 【図7】 TFTの作製工程断面を示す。
 【図8】 TFTの断面図を示す。
 【図9】 TFTの上面図を示す。
 【図10】 窒素イオンのドーズ量と導電率の関係を示す。
 【図11】 窒素イオンのドーズ量と透過率の関係を示す。

【符号の説明】

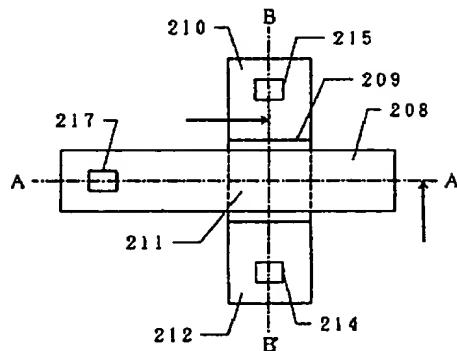
1 1 . . . 基板
 1 2 . . . チャネル形成領域（実質的に真性）
 1 3 . . . 不純物領域（ソース、ドレイン）
 1 4 . . . ドーピング領域（窒素、炭素、酸素の少なくとも1つを含む）
 1 5 . . . ゲート絶縁膜
 1 6 . . . 島状半導体領域の端部
 1 7 . . . ゲート電極
 1 8 . . . ソース、ドレイン電極
 1 0 1 . . . ガラス基板
 9 9 . . . 下地膜（酸化珪素膜）
 1 0 0 . . . アモルファスシリコン膜
 1 0 5 . . . 絶縁化された領域
 1 0 6 . . . 活性層領域
 1 0 8 . . . 活性層領域
 1 0 2 . . . 酸化珪素膜
 1 0 4 . . . マスク
 1 0 7 . . . ゲート絶縁膜

1 1 0 . . . ゲート電極
 1 1 1 . . . ゲート電極
 1 1 2 . . . 陽極酸化層
 1 1 3 . . . 陽極酸化層
 1 1 4 . . . ソース／ドレイン領域
 1 1 5 . . . チャネル形成領域
 1 1 6 . . . ドレイン／ソース領域
 1 1 7 . . . ソース／ドレイン領域
 1 1 8 . . . チャネル形成領域
 1 1 9 . . . ドレイン／ソース領域
 1 2 0 . . . 層間絶縁物
 1 2 1 . . . 電極
 1 2 2 . . . 電極
 1 2 3 . . . 電極
 2 0 1 . . . ガラス基板
 2 0 2 . . . 下地膜（酸化珪素膜）
 2 0 3 . . . アモルファスシリコン膜
 2 0 4 . . . 酸化珪素膜
 2 0 5 . . . マスク
 2 0 6 . . . 絶縁化された領域
 2 0 7 . . . ゲート絶縁膜
 2 0 8 . . . ゲート電極
 2 0 9 . . . 陽極酸化層
 2 1 0 . . . ソース／ドレイン領域
 2 1 1 . . . チャネル形成領域
 2 1 2 . . . ドレイン／ソース領域
 2 1 3 . . . 層間絶縁物
 2 1 4 . . . 電極
 2 1 5 . . . 電極
 2 1 6 . . . ITO（画素電極）
 2 1 7 . . . 電極

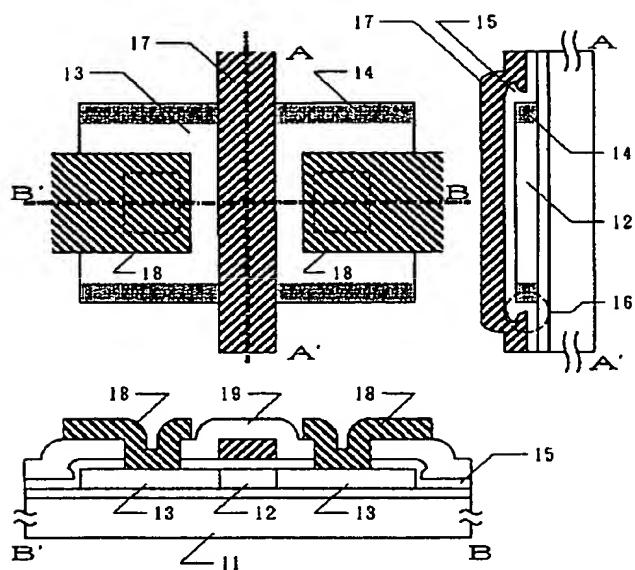
【図8】



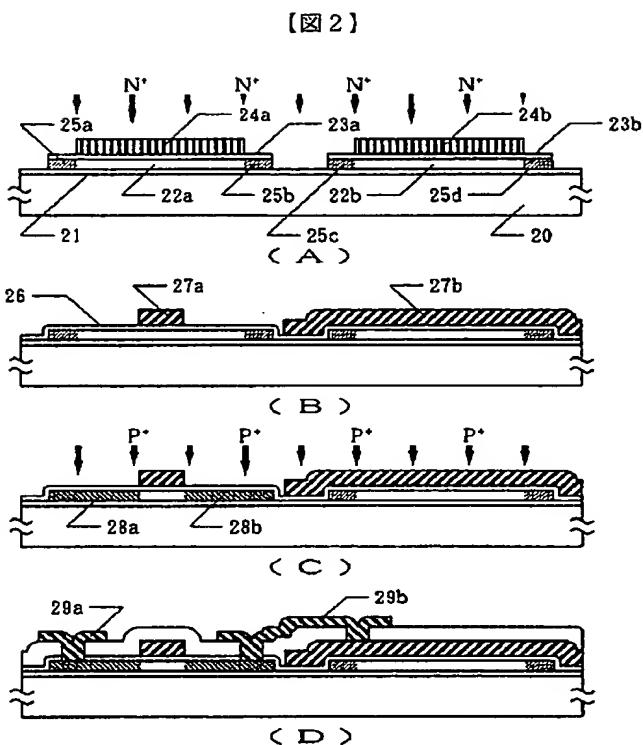
【図9】



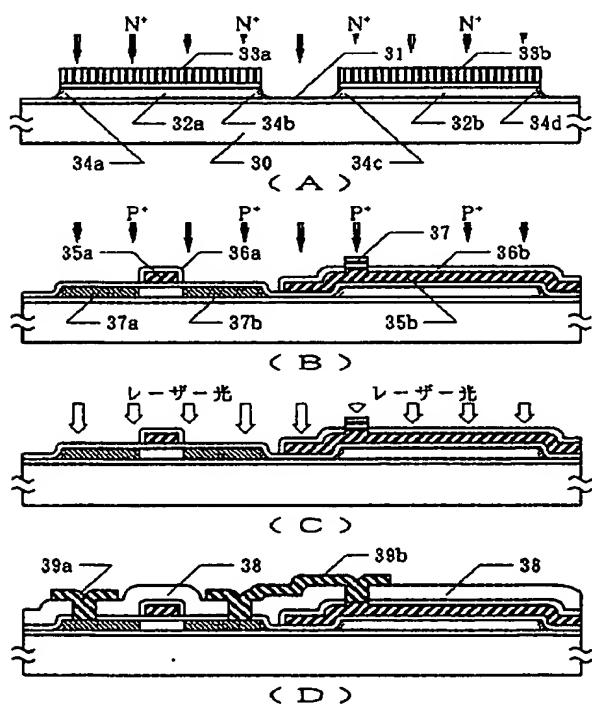
【図1】



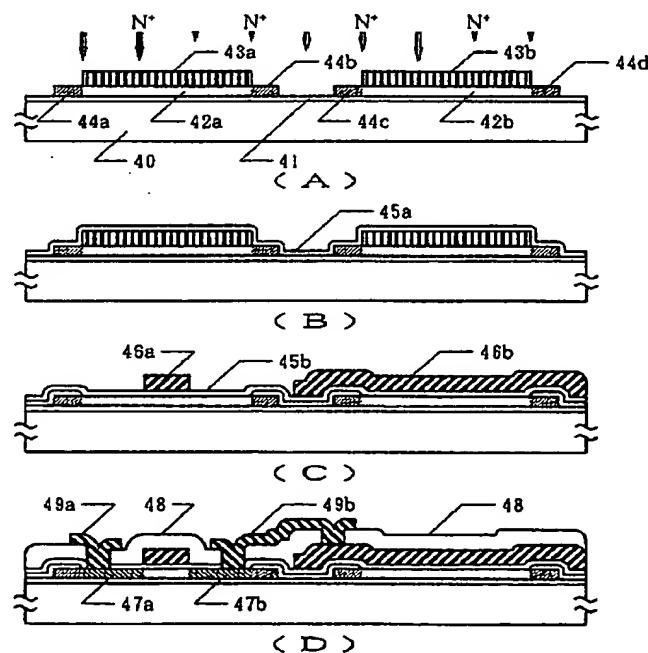
【図2】



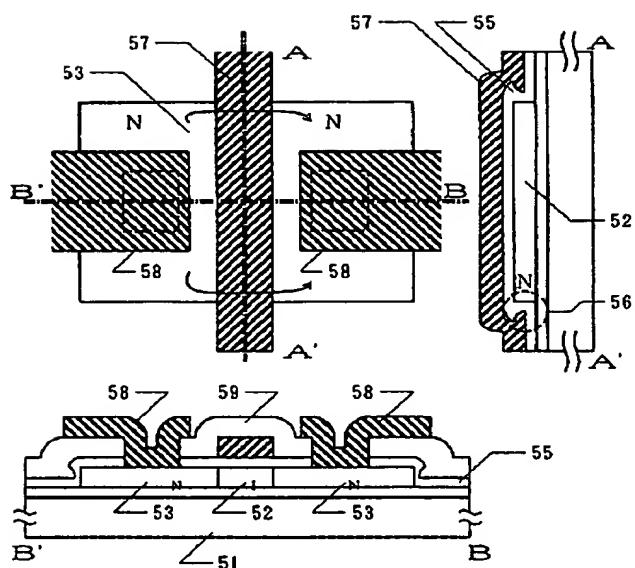
【図3】



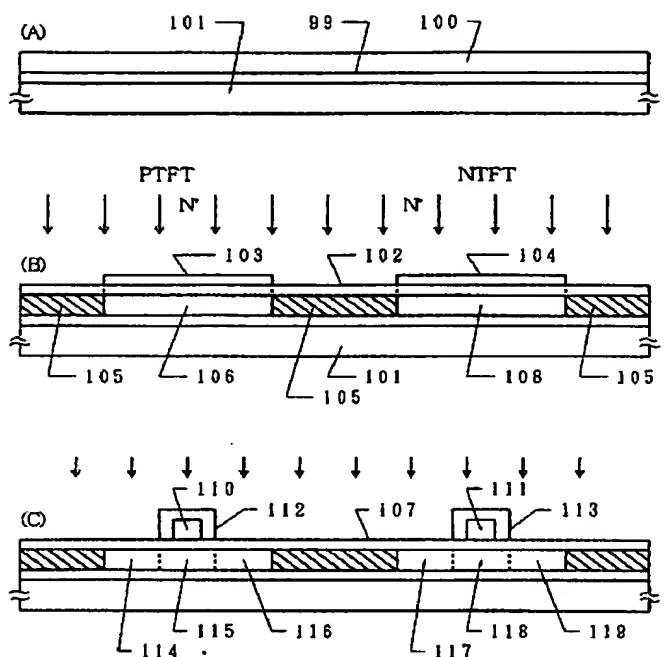
【図4】



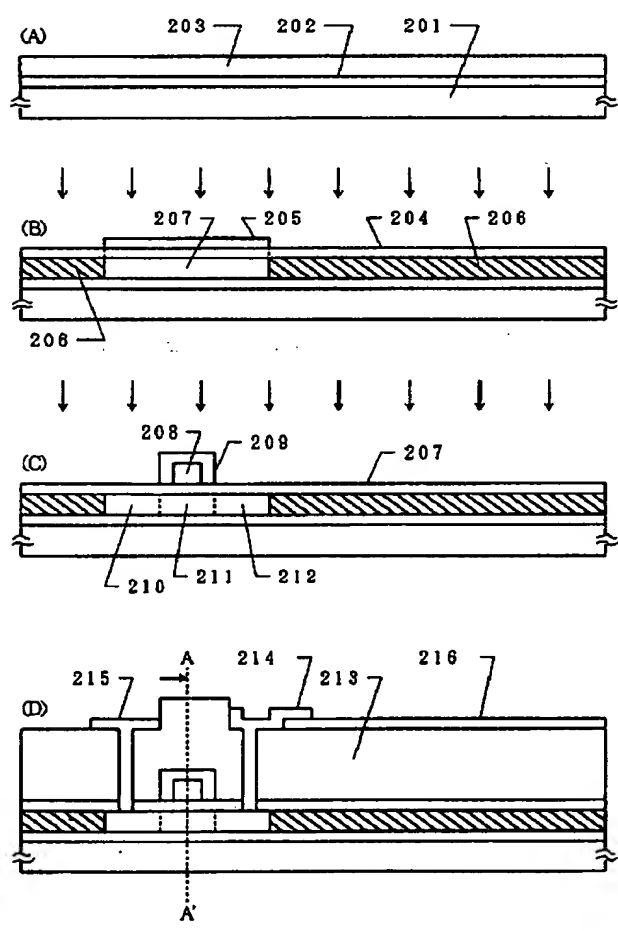
【図5】



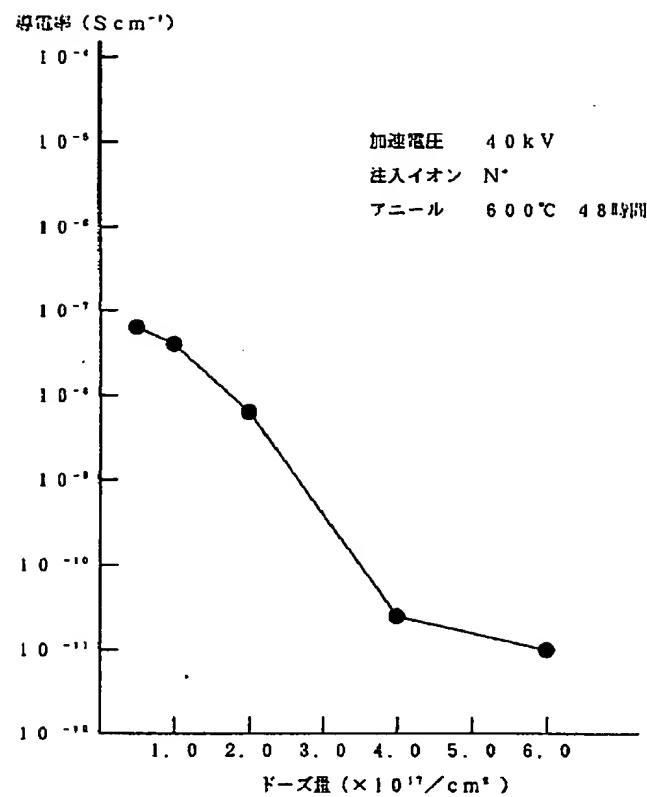
【図6】



【図7】



【図10】



【図11】

